

(54) SEMICONDUCTOR DEVICE

(11) 61-12072 (A) (43) 20.1.1986 (19) JP

(21) Appl. No. 59-131069 (22) 27.6.1984

(71) HITACHI SEISAKUSHO K.K. (72) YOSHITAKA SUGAWARA

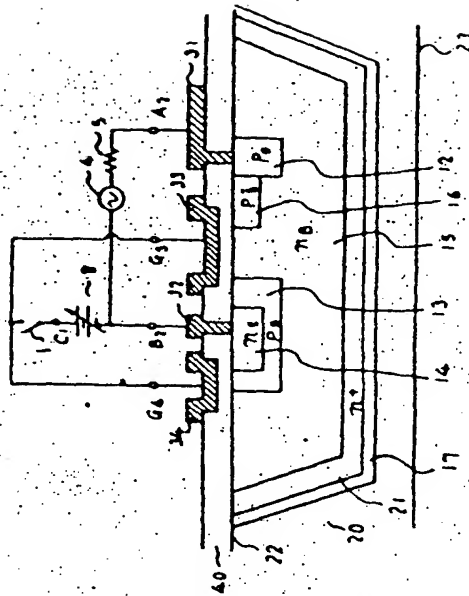
(51) Int. Cl.⁴ H01L29/74, H01L29/10

P2004, 0982

H01L 29/74, μ

PURPOSE: To obtain a highly integrated semiconductor device in a structure wherein the control part and the main driving part can be insulated in a DC way in a monolithic structure, the main driving part can be controlled even when the potential thereof is in a floating state, and moreover, the control current can be lessened; by a method wherein specific first ~ fourth regions and specific first ~ fourth electrodes are respectively provided in the main surface 9 of one side of the semiconductor device.

CONSTITUTION: In case the potential A_2 of terminals G_3 and G_4 is lower than that of a terminal B_2 , a p channel is formed in the surface of an n_B region 15 under a third electrode 33 and positive holes flow into a p_B region 13 from a p_E^- region 16. As a result, an injection of electrons into the p_B region 13 from an n_E region 14 is promoted, the $n_E p_B n_B$ transistor part is turned to ON and electrons flow into the n_B region 15. Accordingly, after that, an injection of positive holes into the n_B region 15 from the p_E^- region 16 is promoted and the $p_E n_B p_E$ transistor part is turned to ON. As the collector currents of the $n_E p_B n_B$ transistor part and the $p_E n_B p_E$ transistor part mutually become the base current of the other transistor part, a positive feedback is generated, and finally, both transistor parts result in being turned to ON as a thyristor $p_E n_B p_B n_E$.

**LEGENDE**

zu den Bibliographiedaten

(54) Titel der Patentanmeldung

(22) Anmeldetag in Japan

(11)

Nummer der JP-A2 Veröffentlichung

(71) Anmelder

(72) Erfinder

(21)

Aktenzeichen der JP-Anmeldung

(52) Japanische Patentklassifikation

(43)

Veröffentlichungstag

(51) Internationale Patentklassifikation

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-12072

⑫ Int. Cl.

H 01 L 29/74
29/10

識別記号

庁内整理番号

7216-5F
8526-5F

⑬ 公開 昭和61年(1986)1月20日

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭59-131069

⑯ 出 願 昭59(1984)6月27日

⑰ 発 明 者 菅 原 良 孝 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 高橋 明夫 外2名

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 一対の主表面を有し、その少なくとも一部に、少なくとも一方の主表面に露出する第1導電型の第1の領域、上記第1の領域との間に形成される第1のp n接合が上記一方の主表面に終端する様に上記第1の領域内に形成される第2導電型の第2の領域、上記第2の領域との間に形成される第2のp n接合が上記一方の主表面に終端する様に上記第2の領域内に形成される第1導電型の第3の領域、上記第1の領域との間に形成される第3のp n接合が上記第1のp n接合とは離れて少なくとも上記一方の主表面に終端する様に形成される第2導電型の第4の領域を有する半導体基体と、上記第4の領域の少なくとも一部と抵抗接触する第1の電極と、上記第3の領域の少なくとも一部と抵抗接触する第2の電極と、上記一方の主表面に於いて絶縁膜を介して上記第2の領域及び第3の領域上の少なくとも一部に延在する様に上記

第1の領域上の少なくとも一部に設けられる第3の電極と、上記一方の主表面に於いて絶縁膜を介して上記第1の領域及び第3の領域上の少なくとも一部に延在する様に上記第2の領域上の少なくとも一部に設けられる第4の電極と、を具備することを特徴とする半導体装置。

2. 特許請求の範囲第1項に於いて、上記第4の領域は、上記第1の領域内に設けられることを特徴とする半導体装置。

3. 特許請求の範囲第1項に於いて、上記第4の領域は、上記第1の領域を囲む様に設けられることを特徴とする半導体装置。

4. 特許請求の範囲第1項に於いて、上記第4の領域は、上記第2の領域に対向する領域に低不純物濃度の第5の領域を有することを特徴とする半導体装置。

5. 特許請求の範囲第1項または、第4項に於いて、上記第2の領域は、上記第1の領域と接する上記一方の主表面付近に低不純物濃度の第6の領域を有することを特徴とする半導体装置。

6. 特許請求の範囲第5項に於いて、上記第5の領域と上記第6の領域との不純物濃度はほぼ等しいことを特徴とする半導体装置。
7. 特許請求の範囲第1項または第2項に於いて、上記第1の電極、上記第2の電極、上記第3の電極、上記第4の電極は上記一方の主表面に設けられることを特徴とする半導体装置。
8. 特許請求の範囲第3項に於いて、上記第2の電極、上記第3の電極、上記第4の電極は上記一方の主表面に設けられ、上記第1の電極は他方の主表面に設けられることを特徴とする半導体装置。
9. 特許請求の範囲第1項に於いて、上記第2の領域の一部と低抵抗接触する第5の電極を具備することを特徴とする半導体装置。
10. 特許請求の範囲第1項に於いて、上記第3の電極と上記第4の電極とは一体化されることを特徴とする半導体装置。

発明の詳細を説明

〔発明の利用分野〕

本発明は半導体装置に係り、特に制御部と主部

制御部が電気的に絶縁された電気結合方式の半導体装置に関する。

〔発明の背景〕

近年産業界における多様なエレクトロニクス化の進展に伴い微小な制御信号でもつて大きな電力の駆動を行うニーズが増大している。この種のニーズに対しては制御部と主駆動部の電気的な絶縁が必要である。このニーズを満たす代表的な半導体素子として光結合素子（通称ホトカブラ）がある。中でも光結合サイリスタは①順・逆両方向の阻止能力を有する。②スイッチング後の電力損失が小さい。③自己保持機能を有する等の利点をもっており、電子交換機用スイッチや固体リレー等に多用されている。しかしいくつかの重要な問題点を有している。以下に動作原理も含めて詳述する。

第2図は光結合サイリスタを用いた典型的な基本回路構成を示す。

スイッチ1をとじると発光素子2に電流が流れ光が放射される。この光によつてホトサイリスタ

3に光電流が発生し、ホトサイリスタが交流電源4により順バイアス状態になるとこの光電流でもつて点滅する。この場合ホトサイリスタと発光素子が電気的に直接的に絶縁されているので通常の電気結合方式と異なり次の利点を有する。尚5、6、7は抵抗であり、8は直流電源である。

(a) 端子Bと端子Dの間に電位差が存在しても制御可能なわずかな点滅動作等が可能である。

(b) 発光素子2を流れる電流がサイリスタ側に流れ込まない。又この逆も起らない。

一方以下の問題点を有する。

(1) ホトサイリスタ3やトランジスタ1はもっぱらSiを用いて作製されるが、発光素子はGaAs等に代換されるIII-V族もしくはII-VI族の化合物半導体を用いて作製される。このように材料が異なるためハイブリッドIC構成にせざるをえず、精密な組立作業を必要としコスト高をきたす。化合物半導体ウエハの作製技術やその加工技術がSiの技術に比べたないこともコスト高を助長している。

(2) 発光ダイオードの発光効率、ホトサイリスタの受光効率、発光ダイオードからの光をホトサイリスタに伝達する効率が小さい。このためこれらの効率を相乗した光結合効率が小さく、ホトサイリスタを駆動するに当り発光素子に数mA程度の大きな制御電流を流す必要がある。

特公昭42-24863号公報、特公昭53-46589号公報にはpnpnをMOSゲート又はMOS・FETでオン駆動する実施例が開示されている。又特開昭57-196626号公報にはMOS・FETでオン・オフ両駆動を行う実施例が開示されている。これはいずれもゲートと主スイッチが絶縁されているという特長は有するが、主スイッチの電位がフローティング状態にある場合はオン駆動ができない。すなわちゲート電位が主スイッチのカソード電位より高い場合もしくは低い場合のいずれかの場合にしかオン駆動できない。従つて、ホトカブラと同等の機能は達成できないものである。

〔発明の目的〕

本発明の目的はモノリシック構造で制御部と主駆動部を直線的に絶縁せしめ得るとともに、主駆動部の電位がフロートイング状態にあつても制御可能にせしめ且つ制御電流も小さくせしめ得る高集積な半導体装置を提供することにある。

〔発明の概要〕

上記目的を達成する本発明半導体装置の特徴とするところは、一対の主表面を有し、その少なくとも一部に、少なくとも一方の主表面に露出する第1導電型の第1の領域、上記第1の領域との間に形成される第1のpn接合が上記一方の主表面に終端する様に上記第1の領域内に形成される第2導電型の第2の領域、上記第2の領域との間に形成される第3のpn接合が上記一方の主表面に終端する様に上記第2の領域内に形成される第1導電型の第3の領域、上記第1の領域との間に形成される第3のpn接合が上記第1のpn接合とは離れて少なくとも上記一方の主表面に終端する様に形成される第2導電型の第4の領域を有する半導体基体と、上記第4の領域の少なくとも一部

と低抵抗接触する第1の電極と、上記第3の領域の少なくとも一部と低抵抗接触する第2の電極と、上記一方の主表面に於いて絶縁膜を介して上記第2の領域及び第3の領域上の少なくとも一部に延在する様に上記第1の領域上の少なくとも一部に設けられる第3の電極と、上記一方の主表面に於いて絶縁膜を介して上記第1の領域及び第3の領域上の少なくとも一部に延在する様に上記第2の領域上の少なくとも一部に設けられる第4の電極と、を具備することにある。

〔発明の実施例〕

以下本発明を実施例に基き詳細に説明する。

＜実施例1＞

第1図は本発明の第1の実施例を示す概略断面図である。

15は、多結晶シリコン20中に絶縁膜17を介して島状に型設され、半導体基体23の一方の主表面22に露出する第1の領域であるn₊(n型ベース)領域、13は、n₊領域15との間に形成される第1のpn接合が一方の主表面22に

終端する様にn₊領域15内に形成される第2の領域であるp₊(pベース)領域、14は、p₊領域13との間に形成される第2のpn接合が一方の主表面22に終端する様にp₊領域13内に形成される第3の領域であるn₊(n型エミッタ)領域、12は、n₊領域15との間に形成される第3のpn接合が第1のpn接合とは離れて一方の主表面22に終端する様にn₊領域15内に形成される第4の領域であるp₊(p型エミッタ)領域である。16はn₊領域15を介してp₊領域13に対向する様に、p₊領域12中に設けられる第5の領域であるp₊（低不純物濃度p型エミッタ）領域、21はn₊領域15が絶縁膜17に露する部分に形成された高濃度n₊領域である。40は半導体基体23の一方の主表面22上に形成される絶縁膜、31はp₊領域12の少なくとも一部と低抵抗接触する第1の電極であり、A₁端子となる。32はn₊領域14の少なくとも一部と低抵抗接触する第2の電極であり、B₁端子となる。33は絶縁膜40を介してn₊領域15

上の少なくとも一部に設けられる第3の電極であり、G₁端子となる。第3の電極33は絶縁膜40を介してp₊領域13上の少なくとも一部とp₊領域16上の少なくとも一部とに延在する様に設けられる。34は絶縁膜40を介してp₊領域18上の少なくとも一部に設けられる第4の電極であり、G₂端子となる。第4の電極34は絶縁膜40を介してn₊領域15上の少なくとも一部とn₊領域14上の少なくとも一部とに延在する様に設けられる。第1の電極31と第4の電極34との間に、第1の電極31の隣りに第3の電極33が、第4の電極34の隣りに第2の電極32が互本様に配設される。G₁端子とG₂端子とはA₁と等の配線によつて同電位に接続される。

本実施例の半導体装置は、例えばF. H. LEE: IEEE Transactions on Electron Devices vol. ED-15, No. 9, 1968, p645に示される様なEpitaxial Passivated Integrated Circuit(EPIC)プロセスで作成した誘電体分離基板の単結晶層内に独立に形成される。

本実施例に於ける各寸法等の具体例を以下に示す。

第1のpn接合及び第3のpn接合の深さは約5 μ m、第2のpn接合の深さは約8 μ m、p⁺領域13とp⁺領域16との距離は約55 μ mである。n⁺領域15の不純物濃度は $2 \times 10^{16} \text{cm}^{-3}$ 、p⁺領域16の表面不純物濃度は $7 \times 10^{16} \text{cm}^{-2}$ である。第4の電極84の下にp⁺領域13はn⁺領域14とセルフアライン構造にしているので 10^{16}cm^{-3} 程度以下の表面不純物濃度になる。第3の電極83と第4の電極84との下の絶縁膜40厚さは各々0.9 μ m、0.7 μ mである。但し第8及び第4の電極33、84の端部における電界集中を緩和するためにこれらの電極端部の絶縁膜40は約2.7 μ mと厚くしている。

第1図を用いて以下に動作機構と特徴を説明する。まずオンするときの動作機構を説明する。

スイッチ1が開いているときはA₁、B₂間はオフ状態にある。スイッチ1を閉じ電源8よりG₁端子、G₂端子にしきい値より高い電圧を印

よりも高い場合は第4の電極84下のp⁺領域13表面にリチャネルが形成されn⁺領域14からn⁺領域15へ電子が流れ込む。この結果p⁺領域16を含むp⁺領域12からn⁺領域15への正孔の注入が促進されp⁺n⁺p⁺トランジスタ部分がオンし、正孔がp⁺領域13内に流れ込む。従つて次にn⁺領域14からp⁺領域13への電子の注入が促進されn⁺p⁺n⁺トランジスタ部分がオンし、上記の正帰還を起しサイリスタp⁺n⁺p⁺n⁺がオンする。

G₁、G₂端子の電位がB₁端子の電位より高く、A₁端子の電位より低い場合は上記の両ケースの動作が起りサイリスタp⁺n⁺p⁺n⁺がオンする。

本実施例ではp⁺領域13とn⁺領域14間にノイズ耐性を増大するために抵抗10K Ω を接続した場合、G₁端子の電位を約4VにすることによりA₁、B₂端子間をオンできることを本発明者は確認している。又G₁端子の電位は約7VにすることによりA₁、B₂端子間をオンできるこ

加した場合、交流電源4によりA₁、B₂間が順バイアス状態になるとオンする。この時G₁、G₂端子の電位とB₁、A₂端子の電位の高低関係によらずA₁、B₂間をオンさせることができるが、その動作機構は端子間電位の相対関係で異なる。

G₁、G₂端子の電位がA₁、B₂端子の電位より低い場合は第3の電極33下のn⁺領域15の表面にリチャネルが形成されp⁺領域16からp⁺領域13に正孔が流れ込む。この結果n⁺領域14からp⁺領域13への電子の注入が促進されn⁺p⁺n⁺トランジスタ部分がオンし、電子がn⁺領域15内に流れ込む。従つて次にp⁺領域16からn⁺領域15内への正孔の注入が促進されp⁺n⁺p⁺トランジスタ部分がオンする。

n⁺p⁺n⁺トランジスタ部分及びp⁺n⁺p⁺トランジスタ部分のコレクタ電流は相互に他のトランジスタ部分のベース電流となるので正帰還が起り、ついでにサイリスタp⁺n⁺p⁺n⁺としてオンするに至る。

G₁、G₂端子の電位がB₁、A₂端子の電位

とも本発明者は確認している。従つてこの場合G₁、G₂端子を接続してA₁、B₂端子間をオンさせるには、この端子電位は約7Vにする必要がある。

次に耐圧について第8図、及び第4図を用いて説明する。まずスイッチ1が閉じられ、G₁、G₂端子の電位がA₁、B₂間がオンしない程度の低い電位に固定されている場合について述べる。A₁、B₂端子がフロータイグなので耐圧はこれら端子の電位とG₁、G₂端子の電位の高低関係で異なる。

G₁、G₂端子の電位がA₁、B₂端子の電位よりも低い場合は順・逆バイアス何れにおいてもn⁺領域15側の空乏層は表面付近でG₁、G₂の電極で拡張されるので高耐圧を確保できる。第3図の点線は順バイアス時のn⁺領域15及びp⁺領域13における空乏層の模式図を示す。第3及び第4の電極33、84はn⁺領域15よりも低電位なのでこれらの電極33、34下のn⁺領域15の表面には正電荷が誘発され濃度が低下し空乏層が拡張し厚くなる。第3及び第4の電極33、84はp⁺領域13に比べても低電位

であるが、 p^+ 領域18は n^+ 領域15に比べ不純物濃度が十分大きいので誘発される正電荷の影響は小さい。これらの結果 n^+ 領域15の表面において空乏層が拡げられることにより電界が緩和され、耐圧はSiバルク内で規制される程度の高耐圧が確保できる。一方、逆バイアス時の n^+ 及び p^+ 領域16における空乏層端の模式図を第3図に於いて一点鎖線で示したが、第3の電極33下では空乏層は同じメカニズムで n^+ 領域15側に拡げられる。 p^+ 領域16では誘発正電荷により高度化し空乏層の拡がり第3の電極33が p^+ 領域16上に存在しない場合に比べ小さくなるが、 n^+ 領域15側の空乏層が順バイアス時と同程度拡がるので順バイアス時と同程度の耐圧は確保できる。第1の電極31下では逆バイアスなので第1の電極31の電位が n^+ 領域15の電位より低く、従つて n^+ 領域15の表面に正電荷が誘起され空乏層は拡がり易い。以上の結果、やはり耐圧はSiバルク内で規制される程度の高耐圧を確保できる。本実施例の場合順・逆耐圧とも例

えば400Vである。

次に G_s 、 G_d 端子の電位が A_s 、 B_s 端子の電位よりも高い場合であるが、この場合は順・逆バイアスいずれにおいても n^+ 領域15側の表面付近の空乏層は第3、及び第4の電極33、34が表面に誘発する。負電荷により締められる。順バイアス時には空乏層は第4図に於ける点線のようになり耐圧は表面の電界集中で規制されることとなり低下する。本実施例では例えば約150Vである。一方、逆バイアス時には第4図の一点鎖線で示す様に、第3の電極33下の n^+ 領域15の表面では空乏層が締められるが、第3の電極33下の p^+ 領域16では逆に誘発負電荷で高度化し空乏層が十分拡げられる。従つて第3の電極33下の付近での電界強度はバルク内の電界強度以下にできる。第1の電極31下の n^+ 領域15の表面では逆バイアスなので第1の電極31の電位が n^+ 領域15の電位より低く、従つて n^+ 領域15の表面に正電荷が誘起され空乏層は拡がり易く電界強度は低くできる。以上の結果、

逆バイアス時の耐圧はSiバルク内で規制される程度の高耐圧が実現できる。本実施例では例えば約360Vである。

以上のごとく第3及び第4の電極33、34の電位が固定されている時は順バイアス時に150V以上、逆バイアス時に360V以上の高耐圧を確保できる。スイッチ1が開いており G_s 、 G_d 端子の電位が固定されていない時は上述の誘発電荷がほとんど発生せず耐圧は順バイアス時に約220V、逆バイアス時に約400Vにできる。

なお、本実施例の G_s 、 G_d 端子と A_s 、 B_s 端子間の直絶縁耐圧は例えば約650Vである。又オンされた後100mA通電時の A_s 、 B_s 間の電位差すなわちオン耐圧は約1.3Vであつた。またオン抵抗は8Ωである。

＜実施例2＞

第5図は本発明の第2の実施例を示す概略平面図、第6図は第5図のA-A'線略断面図である。

本実施例に於いて、第1の実施例と異なる点は次の3点であり、その他は皆第1の実施例と同

じである。

- (1) p^+ 領域14は、 n^+ 領域と接する主表面付近に、第6の領域となる p^+ 領域16と同じ表面不純物濃度の p^+ （低不純物濃度P型ベース）領域18を具備する。 p^+ 領域18は電界緩和層として働き、順方向耐圧の向上が図れ、第4の電極34の下ではチャネル領域となる。
- (2) 第2の電極32と第3の電極33との間に、 p^+ 領域13の一部と低抵抗接触する第5の電極35を設けて、図示しない保護回路と接続する。
- (3) p^+ 領域13を設けたことにより、 n^+ 領域14と p^+ 領域との主表面での距離が90μmに拡がる。

本実施例の A_s 、 B_s 端子間のオン動作機構は次の点を除けば第1の実施例と同じである。

- (1) G_s 、 G_d 端子の電位が A_s 、 B_s 端子の電位よりも低い場合、 p^+ 領域18が p^+ 、 n^+ 、 p^+ で構成されるPチャネルMOSトランジスタ部のドレインとして作用して A_s 、 B_s 端子

間のオン動作に寄与する。

(2) G_1, G_2 端子の電位が A_1, B_1 端子の電位よりも高い場合、 p^+ 領域 18 の他に p^+ 領域 18 も n_1, p_1, n_2 で構成される。ロチャネル MOS トランジスタのチャネル部として作用し A_1, B_1 端子間のオン動作に寄与する。

次に順耐圧に及ぼす p^+ 領域 18 の効果について説明する。第 1 の実施例では、 G_1, G_2 端子の電位が A_1, B_1 端子の電位よりも高い場合、 A_1, B_1 間を順バイアス時に第 3 及び第 4 の電極 33, 34 下の n_1 領域 15 表面付近の空乏層が縮められるため順耐圧が例えば約 150 V であつた。本実施例でも n_1 領域 15 の表面付近では第 1 の実施例と同様空乏層が縮められるが、第 3 の電極 33 下の p^+ 領域 18 表面付近では負電荷が誘起されるため表面濃度が低下し空乏層が拡がりよくなる。この結果電界強度を大巾に低減できる。一方 p^+ 領域 18 のうち第 3 及び第 4 の電極 33, 34 下にない部分でも不純物濃度が低いと

として作用し n_1 領域 15 表面の電界集中を緩和する。これは第 2 及び第 5 の電極 32, 35 の電位が n_1 領域 15 の電位よりも低いため n_1 領域 15 の表面に正電荷が誘起され n_1 領域 15 の表面濃度が低減することによる。一方、 A_1, B_1 間が順バイアス時に第 3 及び第 4 の電極 33, 34 の電位が第 1 及び第 2 の電極 31, 32 の電位より高いと耐圧が低いことを第 1 の実施例の中で説明した。これは第 3 及び第 4 の電極 33, 34 により n_1 領域 15 の表面に負電荷が誘起されることに起因していた。しかるに、本実施例では第 3 及び第 4 の電極 33, 34 と第 2 及び第 5 の電極 32, 35 をくし形にしてかみ合せた結果、上記の n_1 領域 15 の表面に第 3 及び第 4 の電極 33, 34 により誘起された負電荷が n_1 領域 15 に存在する第 2 及び第 5 の電極 32, 35 による逆方向の電界により表面から排斥される。 A_1, B_1 間がオフ状態にあり高電圧が印加された順バイアス時には A_1 端子の電位すなわち n_1 領域 15 の電位は B_1 端子の電位よりも十分高く、

とが効を奏して空乏層が拡がるため表面の接合付近の電界強度が緩和される。以上の結果順バイアス時の電界集中が緩和されるので、本実施例の場合順耐圧を例えば約 360 V に向上できる。

<実施例 3>

第 7 図は本発明の第 3 の実施例を示す概略平面図である。第 2 の実施例と比べると p^+ 領域 18 を設けることなしに順方向耐圧を向上せしめることにより、 A_1, B_1 間のオン抵抗を低減した点に特長がある実施例である。

第 6 図と比較すると明らかなように第 3 及び第 4 の電極 33, 34 をくし形にし、且つ第 2 の電極 32 及び第 5 の電極 35 もくし形にして相互にかみ合せるようにしている。電極パターンを改良した点及び p^+ 領域 18 をとり除き且つ n_1 領域 14 と p^+ 領域 12 間の距離を約 75 μm とした点以外は第 2 の実施例と同じである。

まず耐圧について説明する。 A_1, B_1 間が順バイアス時には n_1 領域 15 上に張り出した第 2 及び第 5 の電極 32, 35 はフィールドプレート

G_1, G_2 端子の電位により近い値である。従つて第 3 及び第 4 の電極 33, 34 により誘起される負電荷は第 2 及び第 5 の電極 32, 35 によりほぼ完全に排斥されるわけである。この結果 n_1 領域 15 の表面が低濃度化し空乏層が拡がりよくなり、高耐圧を実現できるわけである。

本実施例では第 2 及び第 5 の電極 32, 35 と第 3 及び第 4 の電極 33, 34 との間隔を例えば約 8 μm としたところ約 370 V の順耐圧を実現できる。なお逆耐圧はくし形構造にしたことによる影響はみられず約 400 V である。

なお本実施例では p^+ 領域 18 を削除し n_1 領域 14 と、 p^+ 領域 12 との間隔を約 75 μm に縮めた結果、オン抵抗を小さくできる。すなわち例えば、30 mA 通電時のオン抵抗は約 6 Ω であり、第 2 の実施例に比べ約 1.6 Ω 小さい。

<実施例 4>

第 8 図は本発明になる第 4 の実施例を示す概略断面図である。第 2 の実施例と比較すると以下の 4 点以外はほぼ同じである。

- (1) p^+ 領域16に対向する位置にのみ p^- 領域18を形成した点、
- (2) n_+ 領域14、 p_+ 領域13、 p^+ 領域18、 n_+ 領域15より構成されるnチャネルMOS・FETのチャネル部が p^+ 領域16に対向する位置に形成されるように第3の電極33を設け、且つ第3及び第4の電極を接続し、一体化した点、
- (3) p^+ 領域18が存在しない p_+ 領域13両辺の n_+ 領域15上には第2の実施例の第1の電極31と同じ考え方で第5の電極35もしくは第2の電極32を延在させた点、
- (4) 急峻な電圧ノイズに対する保護回路(図示せず)接続用の第5の電極35のコンタクト部を p_+ 領域12に対向しない側の p_+ 領域13上に設け、 n_+ 領域14、 p_+ 領域12間距離を $5.5\mu m$ に短めた点。

本実施例では第3及び第4の電極33下の絶縁層中を第2の実施例と同じように p^- 領域18で緩和できるためほぼ同じ耐圧、すなわち例えば順耐圧約365V、逆耐圧約400Vがえられる。

$10^{14} cm^{-2}$ である。第4の電極34の下に p_+ 領域13はガリウムのみで拡散して形成しており、その他の p_+ 領域13や p_+ 領域12及び p 領域12-1はボロンのみ又はボロンとガリウムの2重拡散で形成してある。周知のごとくガリウムはアウト・ディフュージョンが顕著であるので表面付近の濃度は低くできる。従つて低いグート電圧でnチャネルを形成することができる。本実施例では第4の電極34下の表面付近の濃度を約 $5 \times 10^{14} cm^{-2}$ である。 G_1 、 G_2 端子を接続した場合A₁、B₁端子間をオンさせるには G_1 、 G_2 端子電圧を15Vにする必要がある。但し n_+ 領域14と p_+ 領域18との間には8KΩの外部抵抗を接続している。本実施例ではA₁、B₁端子間に5A通電時のオン電圧は例えば約1.35Vである。又A₂、B₂端子間の順・逆阻止電圧は約200V、 G_1 、 G_2 端子とA₁、B₁端子間の絶縁耐圧は約300Vである。

本実施例は縦構造であり第1の電極31をヒートシンクに直接コンタクトできるので熱抵抗を小

一万、オン抵抗(30mA通電時)は n_+ 領域14、 p_+ 領域12間が縮まつた結果、約3.4小さい4.5Ω程度に低減できる。

<実施例5>

第9図は本発明の第5の実施例になる概略断面図である。

本実施例で第1図に示す第1の実施例と異なる点は、 p^+ 領域がない点のみで、その他は第1の実施例と同じである。

<実施例6>

第10図は本発明の第6の実施例になる概略断面図である。

本実施例で、第9図に示す第5の実施例と異なる点は、第4の領域である p_+ 領域12が n_+ 領域15を囲む様に設けられ、かつ第1の電極31が半導体基体23の他方の主表面24に設けられる点である。

p_+ 領域12、 p_+ 領域13、 n_+ 領域14の組合深さは各々約25 μm 、約25 μm 、約15 μm である。 n_+ 領域15の不純物濃度は $1 \times$

さくできる。このため電力損失を小さくできるという特徴がある。

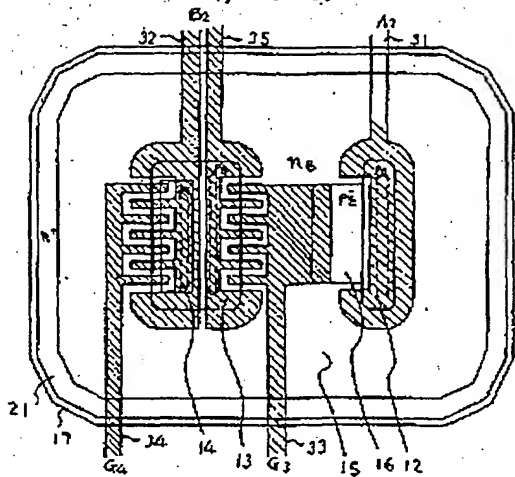
以上、本実施例によれば p_+ 、 n_+ 、 p_+ 、 n_+ 素子をn、p両チャネルのMOS・FETで駆動できるようにした結果モノリシック構造で光結合サイリスタと同じ機能を実現でき且つ制御電流を大巾に低減できる。さらにグート電極下に p_+ 領域より低不純物濃度の p^+ 領域を(場合によつては p_+ 領域にも p_+ より低濃度の p^+ も)設けることにより、逆耐圧(場合によつては順耐圧)を著しく向上できる。

本発明は以上の実施例に限定されるものではなく同じ思想のもとで各種の変形・応用が可能なることは当業者に自明なことである。

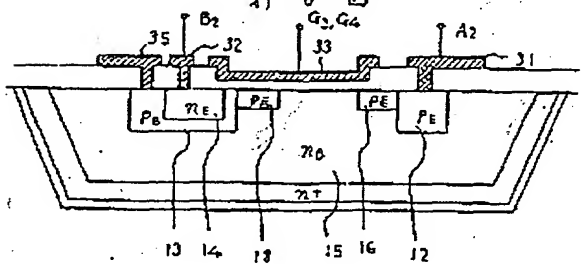
[発明の効果]

本発明によれば、モノリシック構造で制御部と主駆動部を直流的に駆動できるとともに、ユニポーラ素子の電位がフローティング状態にあつても確実に制御でき、その制御電流も小さくでき、かつ高集積な半導体装置を得ることができる。

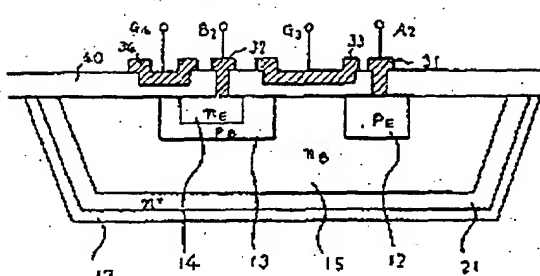
第 7 図



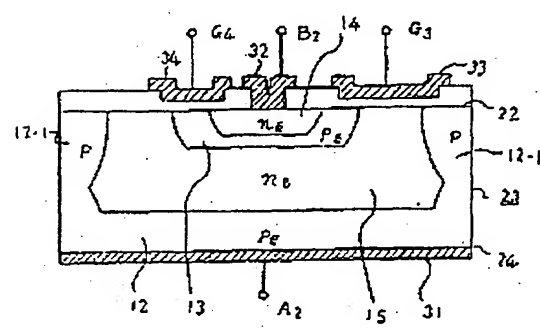
第 8 図



第 9 図



第 10 図



昭 62. 4. 13 発行

特許法第17条の2の規定による補正の掲載

昭和 59 年特許願第 131069 号 (特開 昭 61- 12072 号, 昭和 61 年 1 月 20 日 発行 公開特許公報 61- 121 号掲載) については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 7 (2)

Int. Cl. 4	識別記号	庁内整理番号
H01L 29/74 29/10		6655-5F 8526-5F

手 続 補 正 書 (自発)

昭和 62 年 4 月 13 日

特許庁長官 伊藤 田 男 宛

事件の番号

昭和 59 年 特許願第 131069 号

発明の名称 半導体装置

補正をする者

事件との関係 特許出願人

ト ユービー エレクトロニクス 株式会社 日立製作所

代理人

〒 41002 東京都千代田区丸の内一丁目5番1号

株式会社 日立製作所 東京 営業部 特許課

代表者 伊藤 田 男

補正の目的

明細書の発明の詳細な説明の欄

補正の内容

1. 明細書第16頁第6行の「誘発する。白電灯により」を「誘発する白電灯により」と訂正します。

以上

特 許 官 署

DOCKET NO: P2001, 0182
 SERIAL NO: _____
 APPLICANT: Christian Peters
LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100